

Master-Thesis

Implementierung von Compressed Sensing-Algorithmen auf FPGAs.

Heutzutage verwenden alle digitalen elektronischen Geräte einen Prozessor als Herzstück des Systems. Field-Programmable Gate Arrays (FPGAs) sind Anordnungen rekonfigurierbarer digitaler Schaltungen und Schalter, die so programmiert werden können, dass sie spezifische Funktionen ausführen, beispielsweise als Signalprozessor. Ihr Vorteil gegenüber CPUs besteht darin, dass sie für eine bestimmte Aufgabe angepasst werden können und somit effizienter als eine allgemeine CPU sind. Diese Fähigkeit wird entscheidend für die Implementierung von Algorithmen zur spärlichen Rekonstruktion im Rahmen der „Compressed Sensing“ (CS). CS ist eine neuartige Abtasttheorie, die es ermöglicht, die interessierenden Informationen in einer reduzierten Anzahl von Proben zu verdichten und somit den Speicher- und Übertragungsbedarf drastisch zu verringern. Allerdings erfordert CS spezielle Algorithmen zur Dekodierung des Signals, das in wenigen Messungen kodiert ist. In dieser Arbeit wird die Leistungsfähigkeit von FPGAs genutzt, um ein effizientes algorithmisches Gegenstück bereitzustellen, das eine Echtzeitrekonstruktion von 2D- und 3D-Daten aus komprimierten Messungen ermöglicht.

Anforderungen:

- Logikschaltungstheorie
- Vertrautheit mit VHDL oder Verilog
- Beherrschung von MATLAB oder Python
- Grundkenntnisse der Kommunikationstheorie und/oder Signalverarbeitung sind von Vorteil
- Mittelmäßige Englischkenntnisse

Nach Abschluss der Arbeit bestehen gute Berufsaussichten in den folgenden Bereichen:

- Digitales Hardware-Design
- Signalverarbeitung
- 2D/3D-Sensorik

Betreuer: Ehsan Hamzeh
Raum: FE 00.12
Email: Hamzei@uni-wuppertal.de